

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

日本国特許庁
JAPAN PATENT OFFICE

K. Shiba et al.

1/30/04

Q 79657

10/1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月31日
Date of Application:

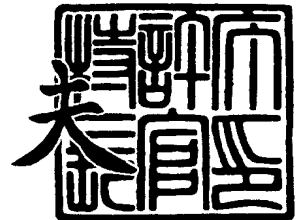
出願番号 特願2003-024300
Application Number:
[ST. 10/C]: [JP 2003-024300]

出願人 NECエレクトロニクス株式会社
Applicant(s):

2003年10月20日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 74112750

【提出日】 平成15年 1月31日

【あて先】 特許庁長官

【国際特許分類】 H01L 21/66

【発明者】

 【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

 【氏名】 柴 和利

【発明者】

 【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

 【氏名】 國嶋 浩之

【特許出願人】

 【識別番号】 302062931

 【氏名又は名称】 NECエレクトロニクス株式会社

【代理人】

 【識別番号】 100110928

 【弁理士】

 【氏名又は名称】 速水 進治

 【電話番号】 03-3461-3687

【手数料の表示】

 【予納台帳番号】 138392

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0216935

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上に設けられ、梯子型水素化シロキサンにより構成された低誘電率膜と、

前記低誘電率膜上に設けられた保護膜と、

前記低誘電率膜および前記保護膜中に形成された金属配線と、を含むことを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、

前記保護膜は、前記低誘電率膜よりも化学機械研磨処理における研磨耐性が高い材料により構成されたことを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 に記載の半導体装置において、

前記保護膜は、シリコン酸化膜であることを特徴とする半導体装置。

【請求項 4】 請求項 1 乃至 3 いずれかに記載の半導体装置において、

前記梯子型水素化シロキサンは、633 nm の波長における屈折率が 1.38 以上 1.40 以下であることを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至 4 いずれか半導体装置において、

前記梯子型水素化シロキサンは、密度が 1.50 以上 1.58 g/cm³ 以下であることを特徴とする半導体装置。

【請求項 6】 請求項 1 乃至 5 いずれかに記載の半導体装置において、

前記金属配線を複数有し、前記複数の金属配線のうちの一つの配線が孤立して形成された孤立領域と、他の前記複数の金属配線が密集して形成された配線密度の高い密集領域とを含むことを特徴とする半導体装置。

【請求項 7】 請求項 6 に記載の半導体装置において、

前記密集領域において、前記複数の金属配線は、互いに実質的に平行な部分における配線間隔が、各前記金属配線の配線幅の 2 倍以下であることを特徴とする半導体装置。

【請求項 8】 請求項 1 乃至 7 いずれかに記載の半導体装置において、

前記保護膜において、最も厚い膜厚が前記低誘電率膜の最も厚い膜厚の 10% 以上 30% 以下であることを特徴とする半導体装置。

【請求項 9】 半導体基板上に、梯子型水素化シロキサンにより構成された低誘電率膜を形成する工程と、

前記低誘電率膜上に保護膜を形成する工程と、

前記低誘電率膜および前記保護膜中に金属配線を形成する工程と、

前記低誘電率膜上に前記保護膜が形成された状態で、前記金属配線を研磨する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 9 に記載の半導体装置の製造方法において、
前記研磨する工程の後に、前記保護膜上に層間絶縁膜を形成する工程と、
前記層間絶縁膜を研磨して平坦化する工程と、をさらに含み、
各前記工程を繰り返して多層配線構造を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、低誘電率膜により構成された配線間絶縁膜を含む半導体装置およびその製造方法に関し、とくに配線密度が高い密集領域を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

近年、半導体装置の微細化および高速化に伴い、銅 (Cu) 配線とともにいわゆる低誘電率膜を用いることが要求されている。銅配線の形成方法としては、配線間絶縁膜に配線溝を形成した後、銅を埋め込み、その後配線溝外部の不要な部分の銅を化学機械研磨法 (CMP: Chemical Mechanical polishing) により除去するダマシン法が用いられている。

【0003】

【特許文献 1】

特開 2001-176965 号公報

【0004】

【発明が解決しようとする課題】

しかし、ダマシン法では、銅を埋め込んだ後のCMP工程で配線間絶縁膜も削られてしまい、配線抵抗の増大およびばらつきが発生する。低誘電率膜は、一般的に、従来配線間絶縁膜として従来用いられてきたSiO₂膜に比べて薬液耐性および機械的強度が弱い。このため、配線間絶縁膜としてSiO₂膜を用いた場合よりも低誘電率膜材料を用いた場合の方がCMP工程において配線間絶縁膜が削られる影響が顕著に現れる。

【0005】

この問題について図1を例に説明する。図1(a)において、下層絶縁層1上にたとえばSiN膜等のエッチングストップ膜2が形成され、その上にたとえばHSQ膜等の配線間絶縁膜3が形成される。配線間絶縁膜3には、たとえばTa、Ta₂N₅、Ti、TiNまたはこれらの積層構造であるバリア膜5、およびたとえばCu等の配線金属膜6により構成された配線4が形成される。配線間絶縁膜3および配線4の上にはたとえばSiN膜等の絶縁性のエッチングストップ膜7が形成され、その上にはたとえばSiO₂等の層間絶縁膜8が形成され、その上にはたとえばSiN膜等のエッチングストップ膜9が形成され、その上にはたとえばHSQ膜等の配線間絶縁膜10が形成される。これらの膜7～10には、たとえばTa、Ta₂N₅、Ti、TiNまたはこれらの積層構造であるバリア膜12、およびたとえばCu等の配線金属膜13により構成されたビアおよび配線が形成される。

【0006】

ダマシン法では、配線間絶縁膜10上に形成された余分な配線金属膜13およびバリア膜12をたとえばCMPにより除去する。ここで、比誘電率が3.6以下の低誘電率材料としては、たとえばかご型の分子構造を有するHSQ膜が例示される。しかし、配線間絶縁膜としてHSQ膜を用いた場合、前述したように、薬液耐性および機械的強度が弱く、配線金属膜13等のCMP工程に配線間絶縁膜が大いに削られてしまう。そのため、配線間絶縁膜10としてHSQを用いる

と、図1 (b) に示すように、とくに配線が密集した配線密度が高い密集領域において、配線間絶縁膜10が削れて大きなエロージョン領域14が形成されてしまう。

【0007】

本発明は上記事情を踏まえてなされたものであり、本発明の目的は、いわゆるダマシン法により形成された金属配線を含む半導体装置またはその製造方法において、エロージョン耐性を高める技術を提供することを目的とする。本発明の別の目的は、このような半導体装置またはその製造方法において、実効的な誘電率を上げることなく配線抵抗・配線容量ばらつきを少なくする技術を提供することにある。

【0008】

【課題を解決するための手段】

本発明によれば、半導体基板と、半導体基板上に設けられ、梯子型水素化シロキサンにより構成された低誘電率膜と、低誘電率膜上に設けられた保護膜と、低誘電率膜および保護膜中に形成された金属配線と、を含むことを特徴とする半導体装置が提供される。

【0009】

ここで、低誘電率膜とは、比誘電率が3.6以下、より好ましくは2.9以下の材料により構成された膜とすることができる。梯子型水素化シロキサンは、たとえば、 $\text{L-O}_x\text{TM}$ (商標) (以下単に L-O_x と示す。) である。このようにすれば、配線間の容量を低減することができるとともに、エロージョン耐性を高めることもできる。

【0010】

図2は、材料の違いによる研磨速度の違いを研磨量に基づき示す図である。ここでは、比較対象として、 SiO_2 膜 (シリコン酸化膜)、かご型の分子構造を有するHSQ膜、および梯子型の分子構造を有する L-O_x 膜を用いた。この図からもわかるように、HSQ膜は SiO_2 膜より明らかに研磨速度が速い。 L-O_x 膜は、 SiO_2 膜よりは研磨速度が速いが、HSQ膜に比べると、格段に研磨速度が遅い。

【0011】

図3は、比較対象として、かご型の分子構造を有するHSQ膜、および $L-O_x$ 膜を用いて、種々の処理に対する各材料の変化を示す図である。図3(a)に示すように、HSQ膜は、 O_2 プラズマ処理および有機剥離処理により分子結合状態が大きく変化した。これにより、かご型の分子構造を有するHSQ膜が化学的に不安定であることがわかる。そのため、低誘電率膜上に保護膜を形成した場合であっても、保護膜の膜厚を充分厚くしなければ、金属配線の研磨・除去処理時、とくに金属配線が密集した配線密度の高い領域において、エロージョンによる配線厚の減少・ばらつきを招いてしまう。しかし、保護膜として SiO_2 膜を用いた場合、 SiO_2 膜の比誘電率は通常4.2程度であり、保護膜の厚さを厚くすると、実効的な誘電率が増大してしまい、配線間絶縁膜として低誘電率膜を用いる効果が減少してしまう。

【0012】

一方、 $L-O_x$ 膜は、 O_2 プラズマ処理および有機剥離処理によっても分子結合状態の変化が少ないことが示された(図3(b))。 $L-O_x$ 膜を用いることにより、保護膜の膜厚を薄くしても、エロージョン耐性を高めることができる。

【0013】

本発明の半導体装置において、保護膜は、低誘電率膜よりも化学機械研磨処理における研磨耐性が高い材料により構成することができる。

【0014】

このようにすれば、低誘電率膜上に保護膜が形成されているので、金属配線形成時に化学機械研磨処理を行う際におけるエロージョン耐性を高めることができる。ここで、保護膜は、シリコン酸化膜とすることができる。上述したように、シリコン酸化膜は $L-O_x$ 膜と比較しても研磨速度が遅く、保護膜としての機能を奏する。

【0015】

本発明の半導体装置において、梯子型水素化シロキサンは、633nmの波長における屈折率が1.38以上1.40以下とすることができる。本発明の半導体装置において、梯子型水素化シロキサンは、密度が1.50以上1.58g/

cm^3 以下とすることができる。さらに、本発明の半導体装置において、梯子型水素化シロキサンは、 200°C 以上 400°C 以下で焼成された膜とすることができる。

【0016】

本発明の半導体装置は、金属配線を複数有し、複数の金属配線のうちの一つの配線が孤立して形成された孤立領域と、他の複数の金属配線が密集して形成された配線密度の高い密集領域とを含むことができる。

【0017】

本発明の半導体装置において、密集領域において、複数の金属配線は、互いに実質的に平行な部分における配線間隔の上限が、各金属配線の配線幅の2倍以下とすることができる。

【0018】

このような密集領域においてエロージョンが発生しやすく、上述したような梯子型水素化シロキサンにより構成された低誘電率膜および低誘電率膜上に設けられた保護膜を用いることによりエロージョン耐性が向上する。また、配線間隔の下限についてはとくに限定されないが、たとえば、各金属配線の配線幅の0.25倍以上とすることができる。このような範囲において実効的な配線構造が形成されるからである。配線間隔がより狭い場合にエロージョンが生じやすく、配線間隔を狭くした場合にもエロージョン耐性が向上するというメリットが得られるのは明らかである。

【0019】

なお、本発明は、いわゆるシングルダマシン法により形成された配線構造を有する半導体装置に適用することもでき、またデュアルダマシン法により形成された配線構造を有する半導体装置に適用することもできる。また、デュアルダマシン法においては、まず配線溝を形成するいわゆるトレンチファーストプロセス、まずビアホールを形成するいわゆるビアファーストプロセス、またはビアホール形成用のエッチングストップ膜を形成した後に配線溝を形成し、その後にビアホールを形成するいわゆるミドルファーストプロセスのいずれに適用することもできる。また、本発明は、これらの方法に限らず、他の種々の方法により形成され

た配線構造を有する半導体装置に適用することもできる。

【0020】

本発明の半導体装置において、保護膜において、最も厚い膜厚が低誘電率膜の最も厚い膜厚の10%以上30%以下とすることができる。

【0021】

保護膜の膜厚の下限をこのような範囲とすることにより、保護膜によるエロージョン耐性を十分に発揮させることができる。また、保護膜の膜厚の上限をこのような範囲とすることにより、配線間絶縁膜として低誘電率膜を用いた場合における低誘電率化の効果を保ったまま、エロージョン耐性を向上することができる。

【0022】

図16は、保護膜が SiO_2 膜で、低誘電率膜が L-Ox 膜の場合のこれらの膜厚の比(%)と配線間容量の増大量との関係を示す図である。ここで、後述する図4に示したのと同様の半導体装置において、エッチングストッパ膜213の膜厚を50nm、第二配線間絶縁膜216の膜厚を240nm固定として、 SiO_2 膜の膜厚を変化させた場合の配線間容量の増量をエッチングストッパ膜ありとして示す。また、図4と同様で、エッチングストッパ膜213を有しない構造の半導体装置において、第二配線間絶縁膜216の膜厚を290nm固定として、 SiO_2 膜の膜厚を変化させた場合の配線間容量の増量をエッチングストッパ膜なしとして示す。いずれの場合も、上層配線270の幅を $0.20\mu\text{m}$ 、配線間隔を $0.2\mu\text{m}$ とした。このように、保護膜の最も厚い部分の膜厚を低誘電率膜の最も厚い膜厚の30%以下とすることにより、配線間容量の増大量を保護膜を設けなかった場合を基準として5%以内に抑えることができ、エロージョン耐性を向上することができるとともに、低誘電率化の効果を保つことができる。

【0023】

本発明の半導体装置は、低誘電率膜および保護膜を含む配線間絶縁膜および金属配線が形成された層が複数積層された多層配線構造とすることができる。本発明によれば、各配線間絶縁膜におけるエロージョン耐性を高めることができるので、各層を平坦化することができ、これらを積層させた際に、多層配線構造を安

定的に精度よく形成することができる。

【0024】

本発明の半導体装置において、保護膜は低誘電率膜上に接して設けられてもよい。低誘電率膜として梯子型水素化シロキサンを、保護膜としてシリコン酸化膜を用いた場合、これらの膜間の密着性が向上し、この密着性の向上によってもエロージョン耐性を高めることができる。なお、保護膜は低誘電率膜に接して設けられた構成に限られず、これらの膜間に介在層（または膜）が形成されてもよい。

【0025】

本発明によれば、半導体基板上に、梯子型水素化シロキサンにより構成された低誘電率膜を形成する工程と、低誘電率膜上に保護膜を形成する工程と、低誘電率膜および保護膜中に金属配線を形成する工程と、低誘電率膜上に保護膜が形成された状態で、金属配線を研磨する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

【0026】

このようにすれば、低誘電率膜上に保護膜が形成されているので、金属配線形成時の研磨工程におけるエロージョン耐性を高めることができる。ここで、保護膜は、シリコン酸化膜とすることができる。

【0027】

本発明の半導体装置の製造方法において、配線間絶縁に配線溝を形成する工程をさらに含むことができ、金属配線を形成する工程において、配線溝を埋め込むように配線金属膜を埋め込むことができ、金属配線を研磨する工程において、配線溝外部の配線金属膜を研磨して除去することができる。

【0028】

本発明の半導体装置の製造方法において、研磨する工程の後に、保護膜上に層間絶縁膜を形成する工程と、層間絶縁膜を研磨して平坦化する工程と、をさらに含むことができ、各工程を繰り返して多層配線構造を形成することができる。

【0029】

本発明によれば、各配線間絶縁膜におけるエロージョン耐性を高めることがで

きるので、各層を平坦化することができ、これらを積層させた際に、多層配線構造を安定的に精度よく形成することができる。

【0030】

【発明の実施の形態】

本発明の実施の形態において、配線が形成される配線間絶縁膜は、梯子型水素化シロキサンにより構成された低誘電率膜を含む。

【0031】

以下、梯子型水素化シロキサン膜の構造を説明する。

梯子型水素化シロキサンとは梯子型の分子構造を有するポリマーのことであり、配線遅延防止の観点から誘電率 2.9 以下のものが好ましく、また膜密度が低いものが好ましい。たとえば、膜密度が 1.50 g/cm^3 以上 1.58 g/cm^3 以下、 633 nm の屈折率が 1.38 以上 1.40 以下であることが好ましい。こうした膜材料の具体例としてラダーオキサイドとよばれる L-O_x TM (商標) (以下単に L-O_x と示す。) 等を例示することができる。なお、 L-O_x をポーラス化した絶縁材料を用いることもできる。

【0032】

図 11 に梯子型水素化シロキサン構造を有する L-O_x の構造を示す。図中、 n は 1 以上の正の数である。このような構造を有する L-O_x の物性データを図 12 に示す。

【0033】

L-O_x が図 11 の構造を有することは、図 13 に示す FT-IR の観測結果により確認されている。図 13 のチャートで特徴的なのは、約 830 cm^{-1} に現れるシャープな Si-H 結合であり、このスペクトルの急峻さが、 L-O_x が 2 次元構造を有することを示唆している。また 870 cm^{-1} 付近の高波数側にもうひとつの Si-H 結合のピークと想定されるものが極端に小さくなっており、このことも測定対象物質が 2 次元構造を有していることを示すものと考えられる。

【0034】

L-O_x は焼成条件によっても物性が変動する。このことを図 14 に基づいて

説明する。

【0035】

窒素等の不活性ガス雰囲気中で200℃以上400℃以下で焼成した $L-O_x$ は、以下のような特性を有している。図14中、 $R.I.$ は633nmの波長での屈折率を示す。屈折率は誘電率に直接影響するパラメータであり、この値は、1.38～1.40の間で推移する。200℃未満の温度および400℃よりも高い温度では1.40を超える値を示した。

【0036】

また、密度は、200℃以上400℃以下で焼成した $L-O_x$ は1.50～1.58g/cm³を示した。400℃を超える温度では、1.60g/cm³を超える値を示した。200℃未満では測定できなかった。

【0037】

また200℃未満では、FTIRスペクトルより、約3650cm⁻¹に現れるSi-OH（シラノール）と想定される結合が観測された。400℃をこえる焼成温度では、密度の上昇が顕著となる。

【0038】

以上のことから、 $L-O_x$ を含む絶縁膜の成膜の際、200℃以上400℃以下の雰囲気温度で焼成することにより、低誘電率の優れた特性の $L-O_x$ が安定的に得られることがわかる。

【0039】

図15は、従来知られている3次元的なかご型の分子構造をもつ水素化シルセスキオキサン構造のHSQ（Hydrogen Silsesquioxane）の分子骨格を示す（「semiconductor technology outlook 1998年：p.431-435」より引用。）。

【0040】

上記した2つの構造の材料は、製造プロセスにおける膜安定性が大きく相違し、 $L-O_x$ の方が顕著に優れた膜安定性を示す。これは、HSQに比べて $L-O_x$ の方がSi-H減少量が少ないことによるものと考えられる。また、絶縁膜中の水素原子の結合の態様が異なることも原因となっているものと考えられる。す

なわち、H S Qにおいては、その立方体構造の角部分に水素原子が結合しているのに対し、L-O_xでは、梯子構造の側面に水素原子が結合している。したがって、H S Qの方が水素原子の周りの密度が低く、H S Qの水素結合はL-O_xに比較し反応性に富む構造となっているものと考えられる。

【0041】

(第一の実施の形態)

本実施の形態は、シングルダマシン法で多層配線構造を形成する際に本発明を適用した例である。

【0042】

図4は本実施の形態に係る半導体装置の構造を示す断面図である。

本実施の形態における半導体装置200は、下層配線255がビアプラグを介して上層配線270に接続された構成を有する。

【0043】

下層配線255は積層膜に形成された溝部に設けられている。この溝部は、半導体基板（不図示）上に成膜された下地絶縁膜201、たとえばSiCまたはSiCN膜であるエッチングストッパ膜202、梯子型の水素化シロキサンであるL-O_x膜により構成された第一配線間絶縁膜203およびSiO₂膜により構成された第一保護膜204からなる積層膜に形成されている。下層配線255の側面と底面は、たとえばTa、Ta₂N₅、Ti、TiNまたはこれらの積層構造により構成されたバリア膜208に覆われている。L-O_x膜とは、上述したように、ラダーオキサイドとよばれる梯子型の水素化シロキサンである。

【0044】

ビアプラグは、第一保護膜204上のSiCN膜であるエッチングストッパ膜211およびSiO₂膜である層間絶縁膜212からなる積層膜に形成された孔部に設けられている。その孔部の側面と底面はTa/Ta₂N₅膜であるバリア膜226に覆われ、その中が銅膜であるビア金属膜228で埋め込まれている。

【0045】

上層配線270は積層膜に形成された溝部に設けられている。その溝部は、SiCN膜であるエッチングストッパ膜213、L-O_x膜である第二配線間絶縁

膜 216 および SiO_2 膜である第二保護膜 217 からなる積層膜に形成されている。上層配線 270 の側面は Ta/TaN 膜であるバリア膜 220 に覆われ、その中が銅膜である配線金属膜 223 で埋め込まれている。

【0046】

上層配線 270 は、孤立配線 270a と、密集して形成された複数の密集配線 270b、270c、および 270d とを含む。密集配線 270b ~ 270d が形成された配線密度の高い領域にはエロージョン領域 271 が形成される。

【0047】

ここで、第二配線間絶縁膜 216 の膜厚はたとえば約 200 nm、上層配線 270 の幅は約 $0.20 \mu\text{m}$ とすることができる。なお、この場合、密集配線 270b ~ 270d が形成された配線密度の高い領域における最小配線間隔は $0.40 \mu\text{m}$ 以下とする。この場合、第二保護膜 217 は、孤立配線 270a が形成された領域付近の最も厚い部分の膜厚が 30 nm 以上 70 nm 以下となるように形成されるのが好ましい。また、たとえば、上層配線 270 の幅が $0.60 \mu\text{m}$ 、配線間隔が $0.20 \mu\text{m}$ となるような設計にすることもでき、このような場合に従来のエロージョンが発生しやすいが、第二配線間絶縁膜 216 を L-Ox 膜により構成することによって、エロージョン耐性を高めることができる。

【0048】

また、第二配線間絶縁膜 216 がより上層に形成される場合、密集配線 270b ~ 270d が形成された配線密度の高い領域における最小配線間隔は $0.80 \mu\text{m}$ 程度とすることもできる。この場合、第二配線間絶縁膜 216 の膜厚はたとえば約 350 nm、上層配線 270 の幅は約 $0.40 \mu\text{m}$ とすることができる。この場合、第二保護膜 217 は、孤立配線 270a が形成された領域付近の最も厚い部分の膜厚が 70 nm 以上 125 nm 以下となるように形成されるのが好ましい。また、たとえば、上層配線 270 の幅が $1.60 \mu\text{m}$ 、配線間隔が $0.40 \mu\text{m}$ となるような設計にすることもでき、このような場合に従来のエロージョンが発生しやすいが、第二配線間絶縁膜 216 を L-Ox 膜により構成することによって、エロージョン耐性を高めることができる。

【0049】

次に、本実施の形態に係る半導体装置の製造方法について説明する。図5は図4に示した半導体装置の上層配線270部分を形成する工程を示す断面図である。ここでは、層間絶縁膜212より下層のものは省略しており、また層間絶縁膜212中、バリア膜226およびビア金属膜228（図4参照）は省略している。

【0050】

まず、たとえば層間絶縁膜212上にエッチングストッパ膜213、その上に第二配線間絶縁膜216（たとえば膜厚250nm）、その上に第二保護膜217を形成する（図5（a））。ここで、第二保護膜217の膜厚は、第二配線間絶縁膜216の膜厚に対して、好ましくは10%以上60%以下、より好ましくは約50%程度とする。

【0051】

次に、既知のリソグラフィ技術およびエッチング技術により、エッチングストッパ膜213、第二配線間絶縁膜216、および第二保護膜217に配線溝207を形成する（図5（b））。

【0052】

つづいて、配線溝207内にスパッタリング法によりバリア膜220を形成する。次に、バリア膜220上において、配線溝207を埋め込むように、たとえば電界めっき法により配線金属膜223を形成する（図5（c））。

【0053】

その後、配線溝207外部に形成された不要なバリア膜220および配線金属膜223をCMPにより除去する。これにより、孤立配線270aおよび密集配線270b～270dが形成される（図5（d））。CMP工程において、第二保護膜217および第二配線間絶縁膜216も一部除去されるが、とくに密集配線270b～270dが形成された配線密度の高い領域では、孤立配線270a周囲の領域よりも第二保護膜217および第二配線間絶縁膜216が多く除去される。本実施の形態においては、第二配線間絶縁膜216として研磨耐性の高い L-Ox 膜を用いているため、配線密度の高い密集領域においても第二保護膜217および第二配線間絶縁膜216が除去されるエロージョン領域271を少な

くすることができる。ここで、第二保護膜 217 の膜厚は、CMP 工程後において、第二配線間絶縁膜 216 が最も厚い部分の膜厚の 10% 以上 30% 以下となるように形成されるのが好ましい。

【0054】

以上のようにして配線を形成し、当該配線上に配線間を電氣的に接続するビアを形成する工程を繰り返すことにより、シングルダマシンプロセスにより、所望の層数の多層配線構造を有する半導体装置を製造することができる。

【0055】

本実施の形態において、配線間絶縁膜として L-Ox 膜を用いることにより、研磨耐性が高まるため、低誘電率材料により構成された配線間絶縁膜上に形成する保護膜の膜厚を薄くしてもエロージョン耐性を高めることができる。

【0056】

(第二の実施の形態)

本実施の形態は、デュアルダマシンプロセスで多層配線構造を形成する際に本発明を適用した例である。ここでは、いわゆるトレンチファースト法で配線およびビアを形成する方法を例として説明する。本実施の形態において、第一の実施の形態と同様の構成要素には同様の符号を付し、適宜説明を省略する。

【0057】

図 6 は本実施の形態に係る半導体装置の構造を示す断面図である。

本実施の形態においても、第一の実施の形態と同様、半導体装置 200 は、下地絶縁膜 201、エッチングストッパ膜 202、第一配線間絶縁膜 203、第一保護膜 204、エッチングストッパ膜 211、層間絶縁膜 212、エッチングストッパ膜 213、第二配線間絶縁膜 216、および第二保護膜 217 がこの順で積層された構造を有する。ここで、第一配線間絶縁膜 203、第一保護膜 204、およびエッチングストッパ膜 211 にはバリア膜 208 および配線金属膜 209 により構成された下層配線 255 が形成されている。エッチングストッパ膜 211、層間絶縁膜 212、エッチングストッパ膜 213、第二配線間絶縁膜 216、および第二保護膜 217 にはバリア膜 220 および配線金属膜 223 が形成されている。また、エッチングストッパ膜 213、第二配線間絶縁膜 216、お

よび第二保護膜 217 には、バリア膜 220 および配線金属膜 223 により構成された孤立配線 270a、ならびに同様にバリア膜および配線金属膜により構成された密集配線 270b、270c、および 270d が形成されている。密集配線 270b～270d が形成された配線密度の高い領域にはエロージョン領域 271 が形成されている。

【0058】

次に、本実施の形態に係る半導体装置の製造方法について説明する。図 7 は図 6 に示した半導体装置の上層配線 270 部分を形成する工程を示す断面図である。

【0059】

本実施の形態において、まず、第二保護膜 217 上にレジスト膜 272 が形成される。第二配線間絶縁膜 216、第二保護膜 217 およびレジスト膜 272 には、既知のリソグラフィ技術およびエッチング技術により、孤立配線形成用溝 273a、密集配線形成用溝 273b、密集配線形成用溝 273c、および密集配線形成用溝 273d が形成される（図 7（a））。なお、ここでは図示していないが、レジスト膜 272 によるレジストパターンニングを制御よく行うためには、レジスト膜 272 の下に反射防止膜を設けることもできる。このようにすると、層間に反射防止膜が埋設され、エッチングストップ膜 213 の突き抜けを防止することもできる。

【0060】

次に、孤立配線形成用溝 273a、および配線形成用溝 273b～273d の形成に用いたレジスト膜 272 を除去し、次いで、孤立配線形成用溝 273a、および配線形成用溝 273b～273d を埋め込むように、第二保護膜 217 上にレジスト膜 274 を形成する。つづいて、レジスト膜 274 を用いて、エッチングストップ膜 213、層間絶縁膜 212、およびエッチングストップ膜 211 のビアを形成する領域に既知のリソグラフィ技術およびエッチング技術を用いてビアホール 275 を形成する（図 7（b））。

【0061】

この後、レジスト膜 274 を除去する。これにより、下層配線 255 上にビア

ホール 275 および孤立配線形成用溝 273a が連続して形成される (図 7 (c))。つづいて、ビアホール 275 および孤立配線形成用溝 273a 内、密集配線形成用溝 273b 内、密集配線形成用溝 273c 内、密集配線形成用溝 273d 内にそれぞれスパッタリング法によりバリア膜 220 を形成する。次に、バリア膜 220 上において、ビアホール 275 および孤立配線形成用溝 273a、密集配線形成用溝 273b、密集配線形成用溝 273c、密集配線形成用溝 273d を埋め込むように、たとえば電界めっき法により配線金属膜 223 を形成する (図 7 (d))。その後、孤立配線形成用溝 273a、および密集配線形成用溝 273b ~ 273d 外部に形成された不要なバリア膜 220 および配線金属膜 223 を CMP により除去する。これにより、図 6 に示したような孤立配線 270a、密集配線 270b ~ 270d を含む半導体装置 200 が形成される。このとき、密集配線形成用溝 273b ~ 273d が形成されていた領域では、第二保護膜 217 および第二配線間絶縁膜 216 も一部除去され、エロージョン領域 271 が形成される。

【0062】

本実施の形態においても、CMP 工程において、第二保護膜 217 および第二配線間絶縁膜 216 が一部除去され、とくに密集配線 270b ~ 270d が形成された配線密度の高い領域では、孤立配線 270a 周囲の領域よりも第二保護膜 217 および第二配線間絶縁膜 216 が多く除去される。本実施の形態においては、第二配線間絶縁膜 216 として研磨耐性の高い L-Ox 膜を用いているため、配線密度の高い領域においても第二保護膜 217 および第二配線間絶縁膜 216 が除去されるエロージョン領域 271 を少なくすることができる。

【0063】

(第三の実施の形態)

本実施の形態は、第二の実施の形態と同様、デュアルダマシンプロセスで多層配線構造を形成する際に本発明を適用した例である。ここでは、いわゆるビアファースト法で配線およびビアを形成する方法を例として説明する。本実施の形態において、第一および第二の実施の形態と同様の構成要素には同様の符号を付し、適宜説明を省略する。

【0064】

本実施の形態においても、半導体装置 200 は第二の実施の形態において図 6 に示したのと同様の構成を有する。

【0065】

次に、本実施の形態に係る半導体装置の製造方法について説明する。図 8 は図 6 に示した半導体装置の上層配線 270 部分を形成する工程を示す断面図である。

【0066】

まず、下層配線 255 上にエッチングストッパ膜 211、層間絶縁膜 212、第二配線間絶縁膜 216、および第二保護膜 217 をこの順で積層させる（図 8（a））。このとき、層間絶縁膜 212 形成後に、下層配線 255 形成時の CMP 工程で発生した凹凸を低減するために、層間絶縁膜 212 を CMP で処理して表面平坦化を行うのが好ましい。これにより、多層配線構造を形成した場合であっても、各層を平坦に保つことができ、半導体装置を精度よく安定的に製造することができる。

【0067】

次に、第二保護膜 217 上にレジスト膜 277 を形成する。つづいて、既知のリソグラフィー技術およびエッチング技術により、層間絶縁膜 212、エッチングストッパ膜 213、第二配線間絶縁膜 216、および第二保護膜 217 にビアホール 278 を形成する（図 8（b））。ここで、エッチングストッパ膜 211 は、ビアホール 278 形成時のエッチングを止める機能を有する。

【0068】

次に、ビアホール 278 形成に用いたレジスト膜 277 を部分的に除去した後、既知のリソグラフィー技術およびエッチング技術により第二配線間絶縁膜 216 および第二保護膜 217 に配線溝 279 を形成する（図 8（c））。

【0069】

その後、配線溝 279 形成に用いたレジスト膜 277 を完全に除去し、ビアホール 278 底のエッチングストッパ膜 211 をエッチングにより除去する。つづいて、第二の実施の形態において図 7（d）を参照して説明したのと同様に、バ

リア膜 220 および配線金属膜 223 を形成する。次いで、配線溝 279 外部に形成された不要なバリア膜 220 および配線金属膜 223 を CMP により除去する。これにより、図 6 に示したのと同様の半導体装置が形成される。

【0070】

本実施の形態においても、第二配線間絶縁膜 216 として研磨耐性の高い L-Ox 膜を用いているため、配線密度の高い領域において第二保護膜 217 および第二配線間絶縁膜 216 が除去されるエロージョン領域 271 を少なくすることができる。

【0071】

(第四の実施の形態)

本実施の形態は、第二および第三の実施の形態と同様、デュアルダマシンプロセスで多層配線構造を形成する際に本発明を適用した例である。ここでは、いわゆるミドルファースト法で配線およびビアを形成する方法を例として説明する。本実施の形態において、第一～第三の実施の形態と同様の構成要素には同様の符号を付し、適宜説明を省略する。

【0072】

本実施の形態においても、半導体装置 200 は第二の実施の形態において図 6 に示したのと同様の構成を有する。

【0073】

次に、本実施の形態に係る半導体装置の製造方法について説明する。図 9 は図 6 に示した半導体装置の上層配線 270 部分を形成する工程を示す断面図である。

【0074】

まず、下層配線 255 上にエッチングストッパ膜 211、層間絶縁膜 212、およびエッチングストッパ膜 213 をこの順で積層させる (図 9 (a))。

【0075】

次に、エッチングストッパ膜 213 上にレジスト膜 281 を形成する。つづいて、既知のリソグラフィ技術およびエッチング技術により、ビアホール 282 となる領域のエッチングストッパ膜 213 を除去する (図 9 (b))。

【0076】

次に、レジスト膜 281 を除去し、エッチングストッパ膜 213 上に第二配線間絶縁膜 216 および第二保護膜 217 を形成する（図 9（c））。

【0077】

その後、第二保護膜 217 上にレジスト膜 283 を形成する。つづいて、既知のリングラフィー技術およびエッチング技術により、第二配線間絶縁膜 216 および第二保護膜 217 に配線溝 284 を形成する。このとき、エッチングにより形成される配線溝 284 がエッチングストッパ膜 213 に到達した後、さらにビアホール 282 を形成するためにエッチングを継続する（図 9（d））。ここで、バリア膜 208 はビアホール 282 形成時エッチングを止める機能を有する。この後、第三の実施の形態と同様にエッチングストッパ膜 211 を除去し、バリア膜 220 および配線金属膜 223 を形成する。次いで、配線溝 284 外部に形成された不要なバリア膜 220 および配線金属膜 223 を CMP により除去する。これにより、図 6 に示したのと同様の半導体装置が形成される。

【0078】

本実施の形態においても、第二配線間絶縁膜 216 として研磨耐性の高い L-Ox 膜を用いているため、配線密度の高い領域において第二保護膜 217 および第二配線間絶縁膜 216 が除去されるエロージョン領域 271 を少なくすることができる。

【0079】

【実施例】

（実施例）

第一の実施の形態で説明したように、シングルダマシン法を用いて、図 4 に示した構造の半導体装置を製造した。ここで、第二保護膜 217 として SiO₂ 膜（膜厚 80 nm）を用い、第二配線間絶縁膜 216 として L-Ox 膜（膜厚 200 nm）を用いた。

【0080】

（比較例）

第二配線間絶縁膜 216 として HSQ 膜（膜厚 200 nm）を用いた以外は実

施例と同様にして半導体装置を製造した。

【0081】

図10は、以上のようにして半導体装置を形成した際の配線が密集して形成された密集部における配線の抵抗と孤立配線が形成された孤立部における配線の抵抗の比（配線抵抗比）と、CMP工程後の孤立配線部分の保護膜（ SiO_2 膜）の膜厚との関係を示すグラフである。ここで、密集部とは、配線間隔が $0.20\mu\text{m}$ の領域のことであり、孤立部とは、配線間隔が $5.00\mu\text{m}$ 領域のことである。

【0082】

実施例において、配線間絶縁膜として L-Ox 膜を用いた場合であっても、配線抵抗比は、孤立部における保護膜（ SiO_2 膜）の膜厚が約 20nm より薄くなると増大してしまう。これは、保護膜の膜厚がある程度以上でないと、密集部においてエロージョンが発生し、配線容量が大きくなることが原因だと考えられる。したがって、配線容量を増大させず、安定した配線抵抗および配線容量を得るためには、配線間金属膜上に形成される保護膜の膜厚が配線間金属膜の膜厚の 10% 以上となるように形成するのが好ましい。また、配線間金属膜の比誘電率を低く保つという観点からは、配線間金属膜上に形成される保護膜の膜厚を配線間金属膜の膜厚の 60% 以下とするのが好ましい。

【0083】

また、比較例において、配線間絶縁膜としてかご型の分子構造を有するHSQ膜を用いた場合、孤立部における保護膜（ SiO_2 膜）の膜厚が 70nm の場合であっても、配線抵抗比が高かった。これにより、配線間絶縁膜としてHSQ膜を用いた場合、保護膜の膜厚を厚くしても安定した配線抵抗および配線容量が得られないことが示唆される。

【0084】

また、図2に示した結果から、 L-Ox 膜は梯子型の分子構造に起因してかご型の分子構造を有するHSQ膜よりも化学的・機械的に強度が高いため、配線密度の高い領域においてエロージョンによって SiO_2 膜が完全に研磨されたとしても、配線層の膜減りが少ないことも理解される。

【0085】

さらに、図3および図11～図15に示した結果からも、 $L-O_x$ 膜はかご型の分子構造を有するHSQ膜よりも化学的に安定であることがわかる。

【0086】

【発明の効果】

本発明によれば、本発明によれば、いわゆるダマシン法により形成された金属配線を含む半導体装置またはその製造方法において、エロージョン耐性を高めることができる。本発明によれば、このような半導体装置またはその製造方法において、実効的な誘電率を上げることなく配線抵抗・配線容量ばらつきを少なくすることができる。

【図面の簡単な説明】

【図1】

従来の半導体装置の構造を示す断面図である。

【図2】

材料の違いによる研磨速度の違いを研磨量に基づき示す図である。

【図3】

かご型の分子構造を有するHSQ膜、および $L-O_x$ 膜を用いた場合の種々の処理に対する各材料の変化を示す図である。

【図4】

本発明の実施の形態に係る半導体装置の構造を示す断面図である。

【図5】

図4に示した半導体装置の上層配線部分を形成する工程を示す断面図である。

【図6】

本発明の実施の形態に係る半導体装置の構造を示す断面図である。

【図7】

図6に示した半導体装置の上層配線部分を形成する工程の一例を示す断面図である。

【図8】

図6に示した半導体装置の上層配線部分を形成する工程の他の例を示す断面図

である。

【図 9】

図 6 に示した半導体装置の上層配線部分を形成する工程の他の例を示す断面図である。

【図 10】

実施例において半導体装置を形成した際の配線抵抗比と、CMP 工程後の孤立配線部分の保護膜 (SiO_2 膜) の膜厚との関係を示すグラフである。

【図 11】

梯子型水素化シロキサン構造を有する L-Ox (商標) の構造を示す図である。

【図 12】

L-Ox (商標) の物性データを示す図である。

【図 13】

L-Ox の IR スペクトルを示す図である。

【図 14】

L-Ox の屈折率および密度の焼成条件依存性を示す図である。

【図 15】

HSQ の分子骨格を示す図である。

【図 16】

L-Ox 膜上に保護膜として SiO_2 膜を設けた場合の SiO_2 膜/ L-Ox 膜と配線間容量の増加量との関係を示す図である。

【符号の説明】

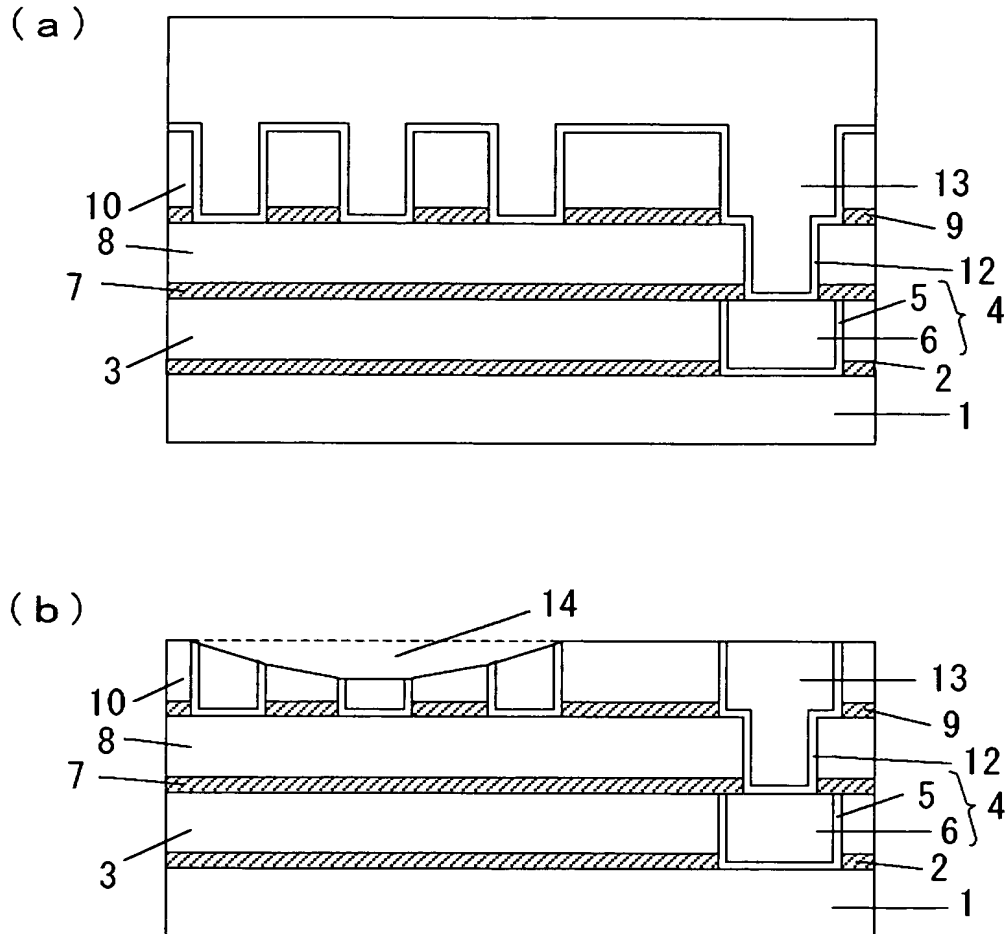
- 200 半導体装置
- 201 下地絶縁膜
- 202 エッチングストッパ膜
- 203 第一配線間絶縁膜
- 204 第一保護膜
- 207 配線溝
- 208 バリア膜

209 配線金属膜
211 エッチングストッパ膜
212 層間絶縁膜
213 エッチングストッパ膜
216 第二配線間絶縁膜
217 第二保護膜
220 バリア膜
223 配線金属膜
226 バリア膜
228 ビア金属膜
255 下層配線
270 上層配線
270 a 孤立配線
270 b 密集配線
270 c 密集配線
270 d 密集配線
271 エロージョン領域
272 レジスト膜
273 a 孤立配線形成用溝
273 b 密集配線形成用溝
273 c 密集配線形成用溝
273 d 密集配線形成用溝
274 レジスト膜
275 ビアホール
277 レジスト膜
278 ビアホール
279 配線溝
281 レジスト膜
282 ビアホール

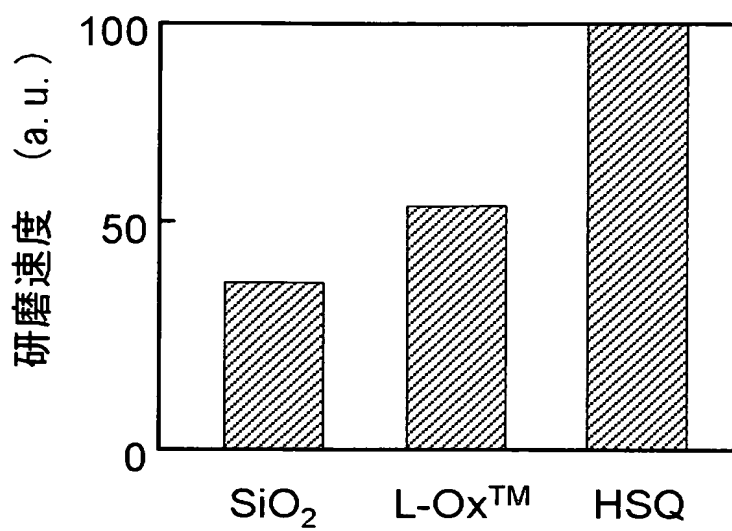
2 8 3 レジスト膜
2 8 4 配線溝

【書類名】 図面

【図 1】

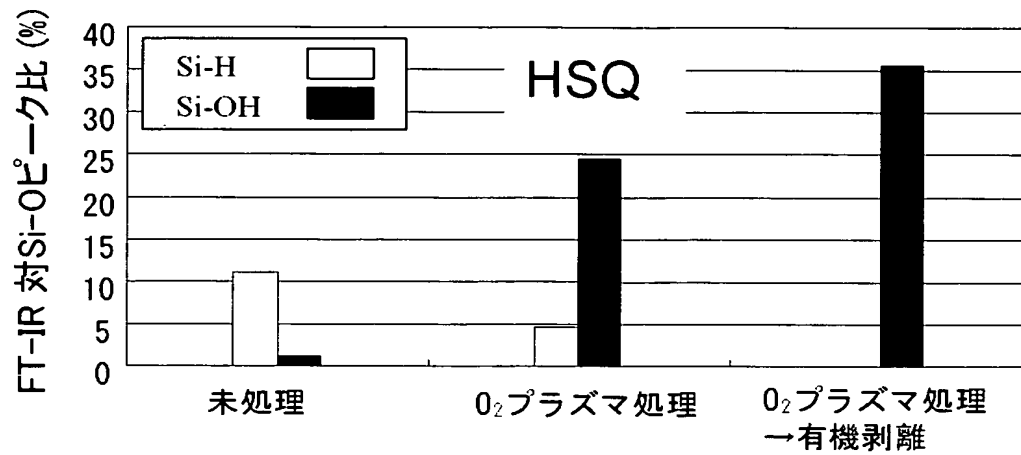


【図 2】

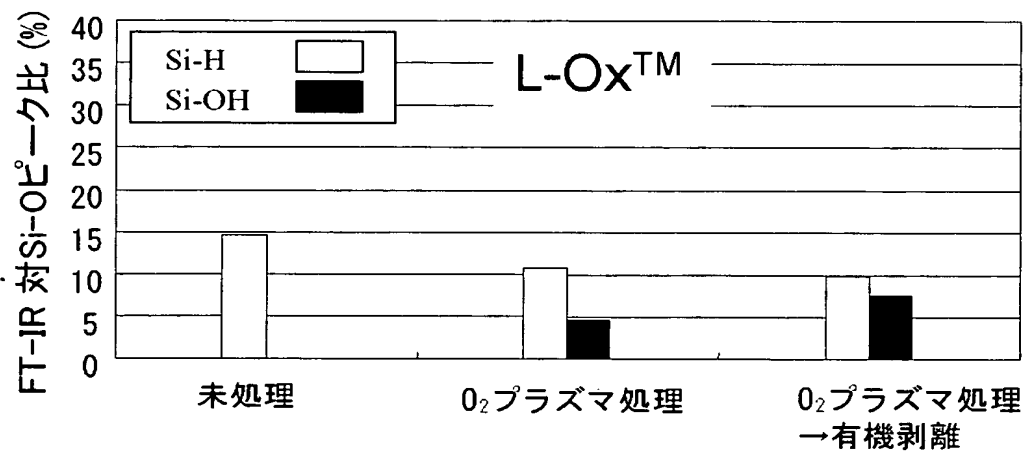


【図 3】

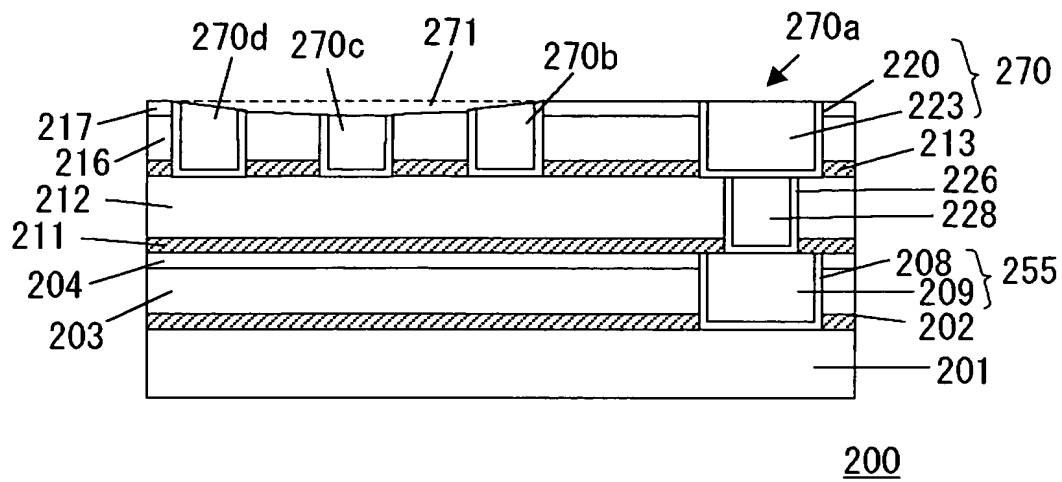
(a)



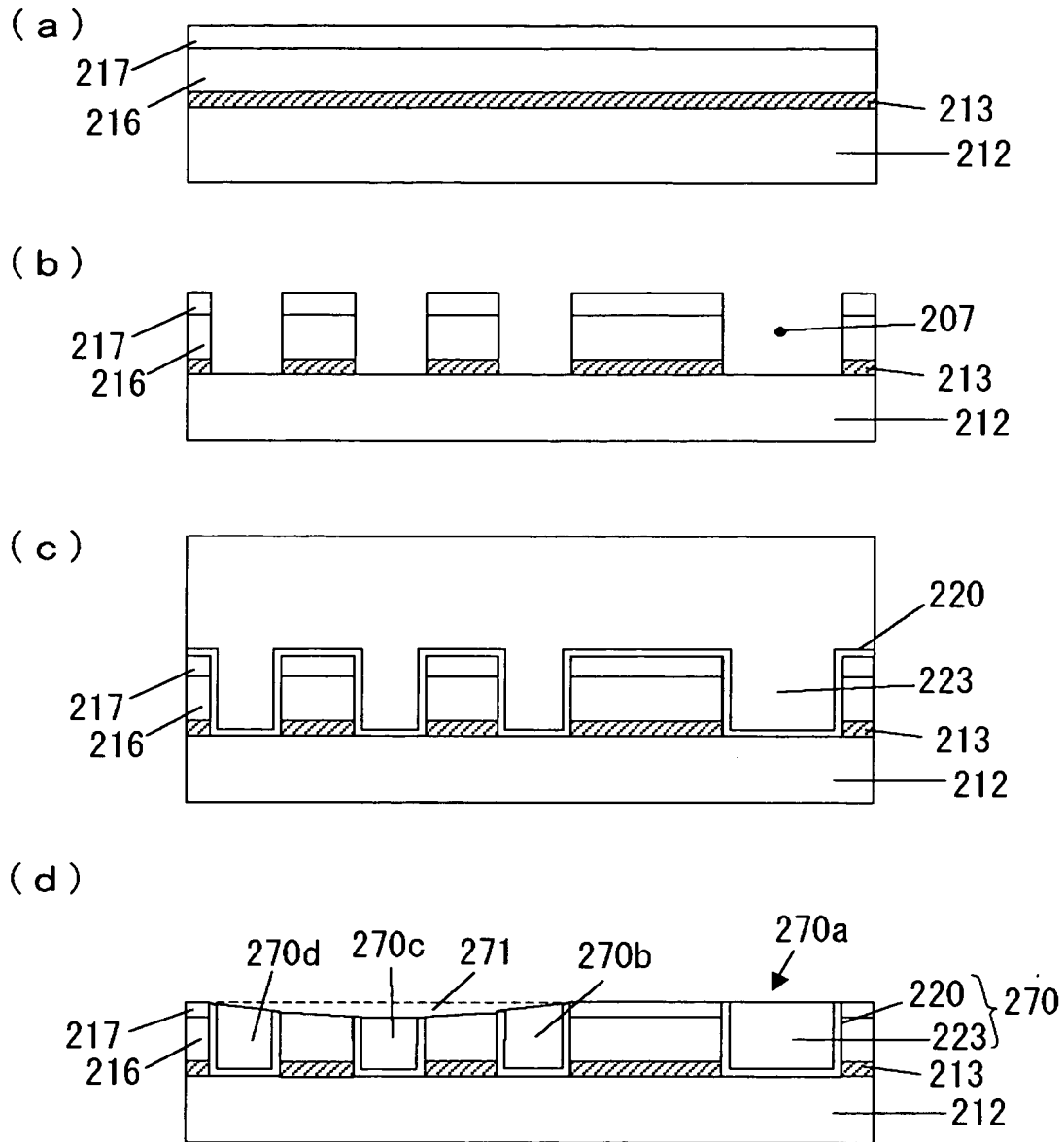
(b)



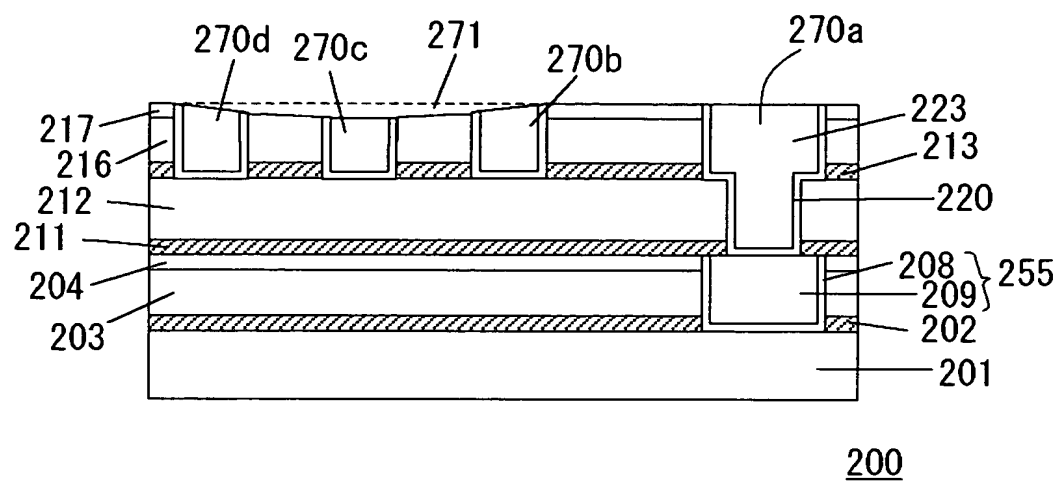
【図 4】



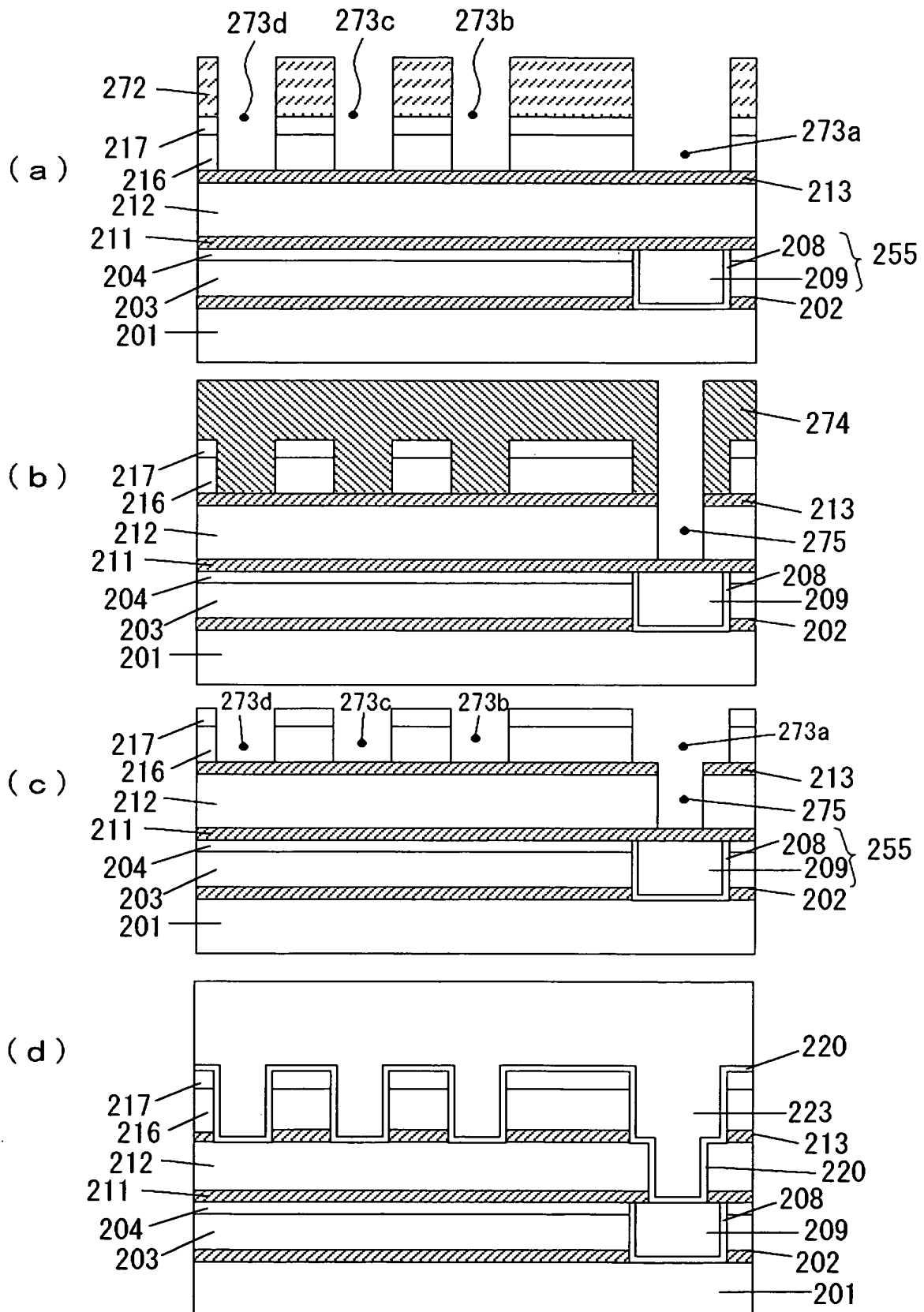
【図 5】



【図 6】

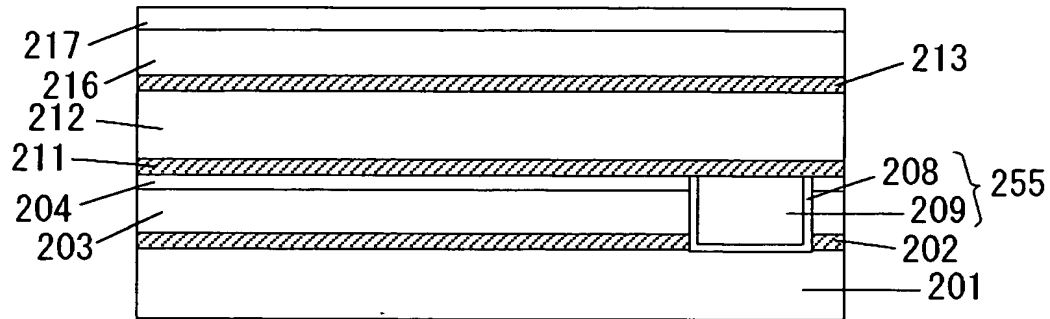


【図 7】

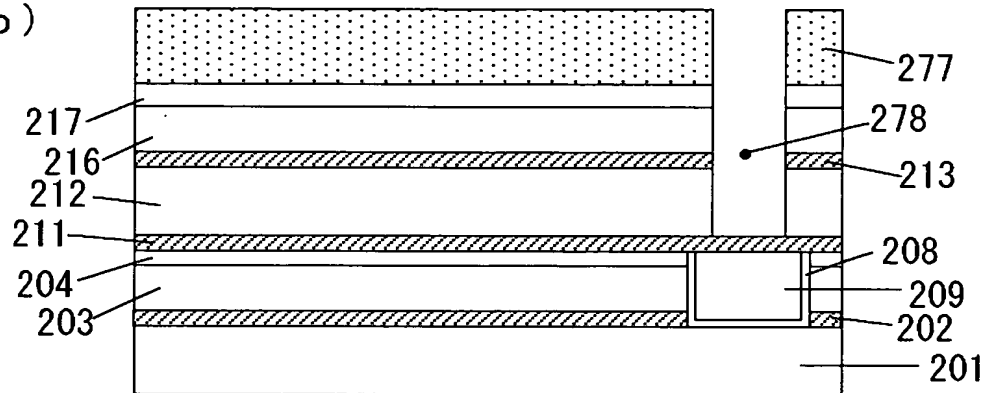


【図 8】

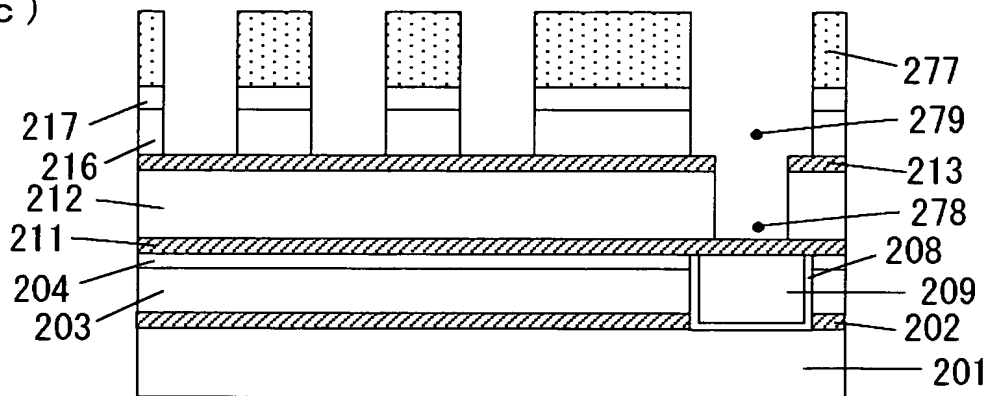
(a)



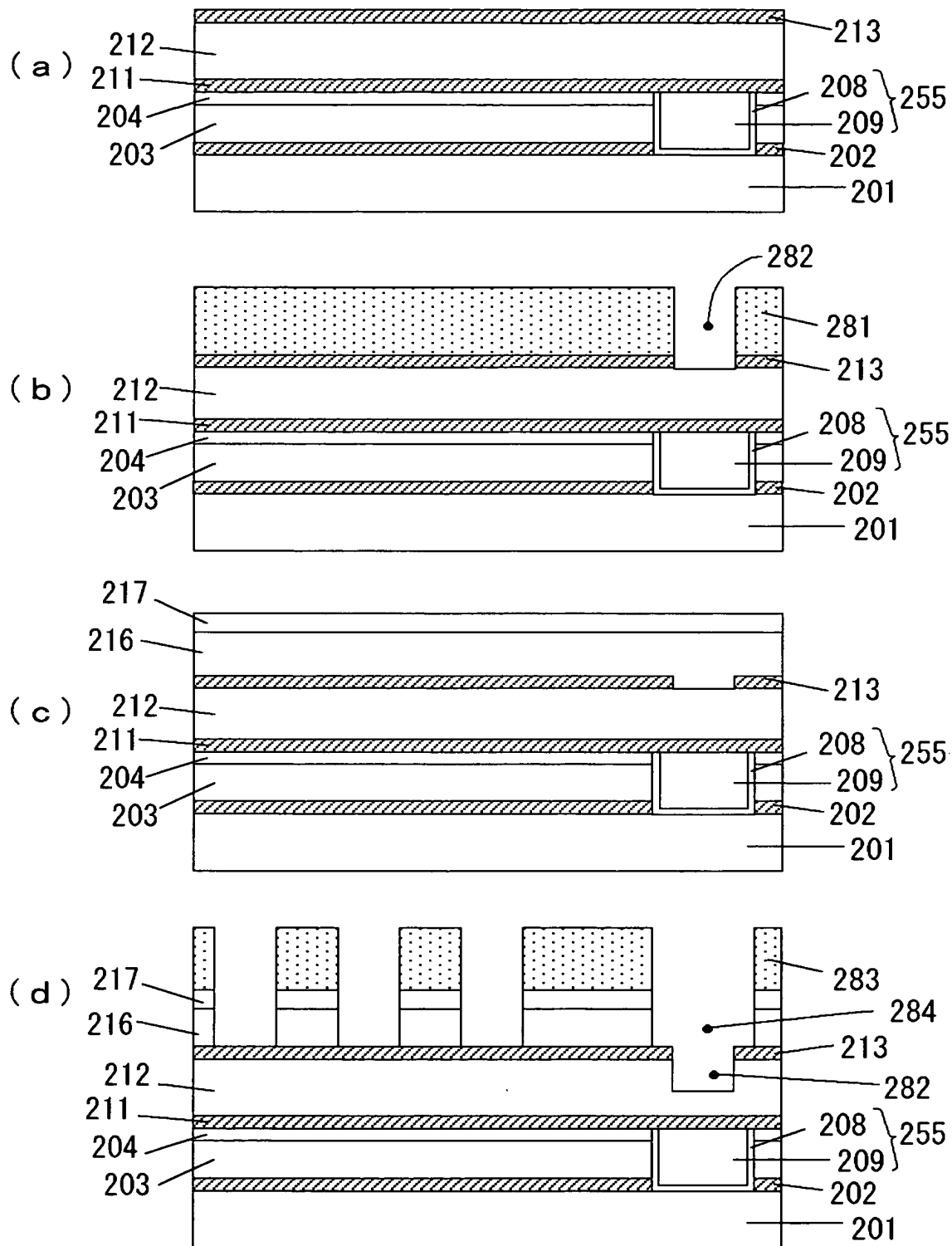
(b)



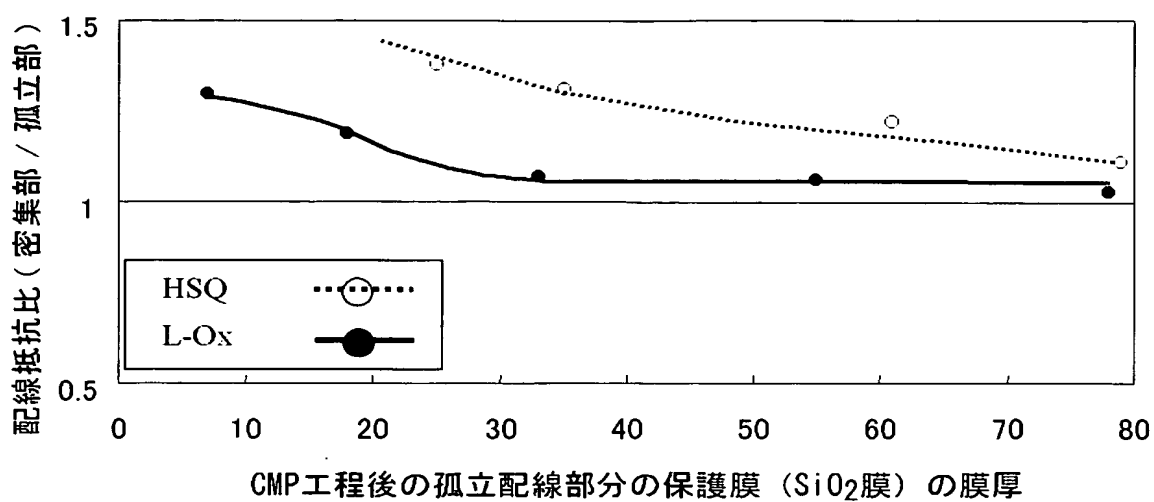
(c)



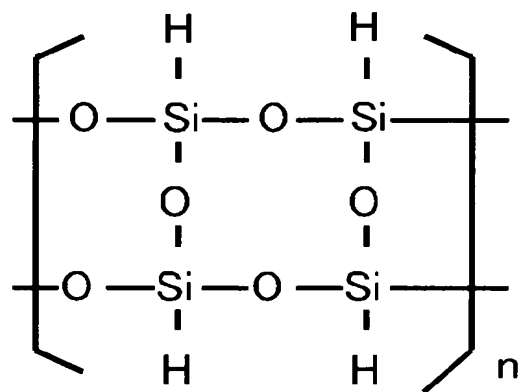
【図 9】



【図 10】



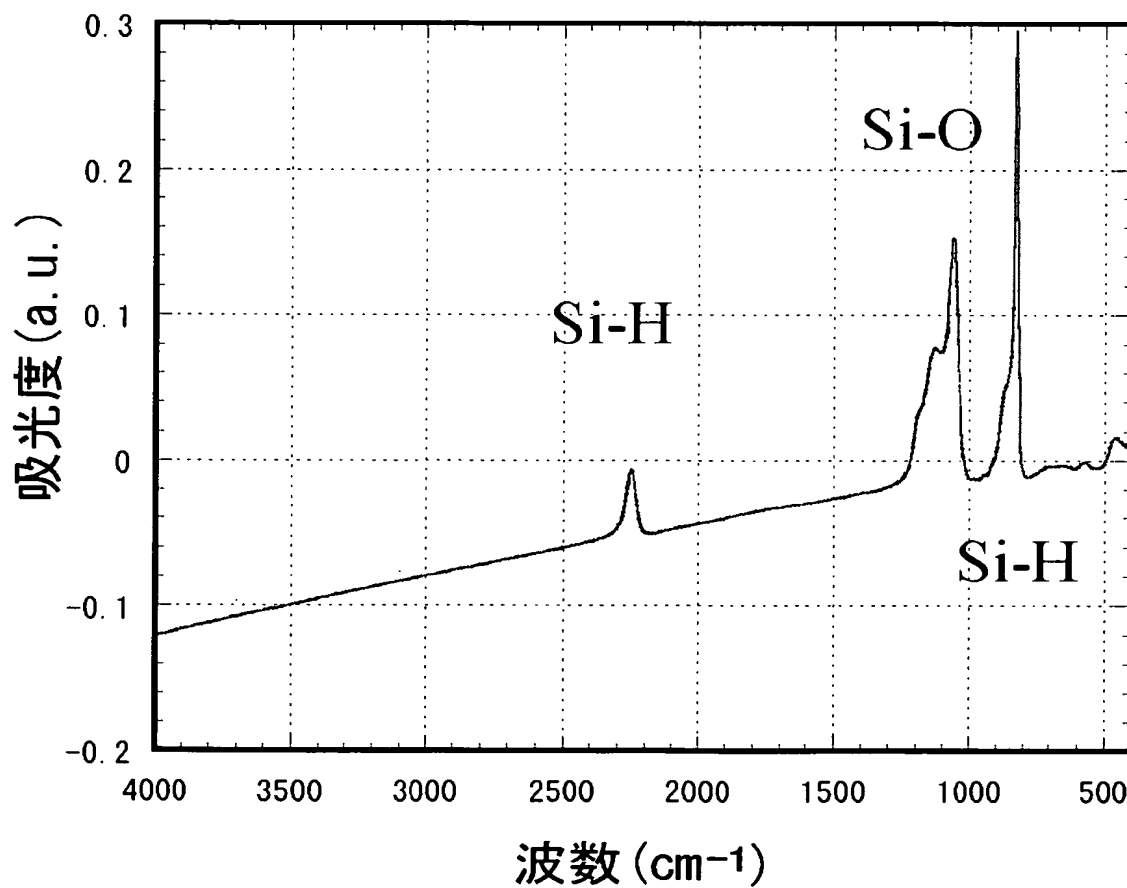
【図 11】



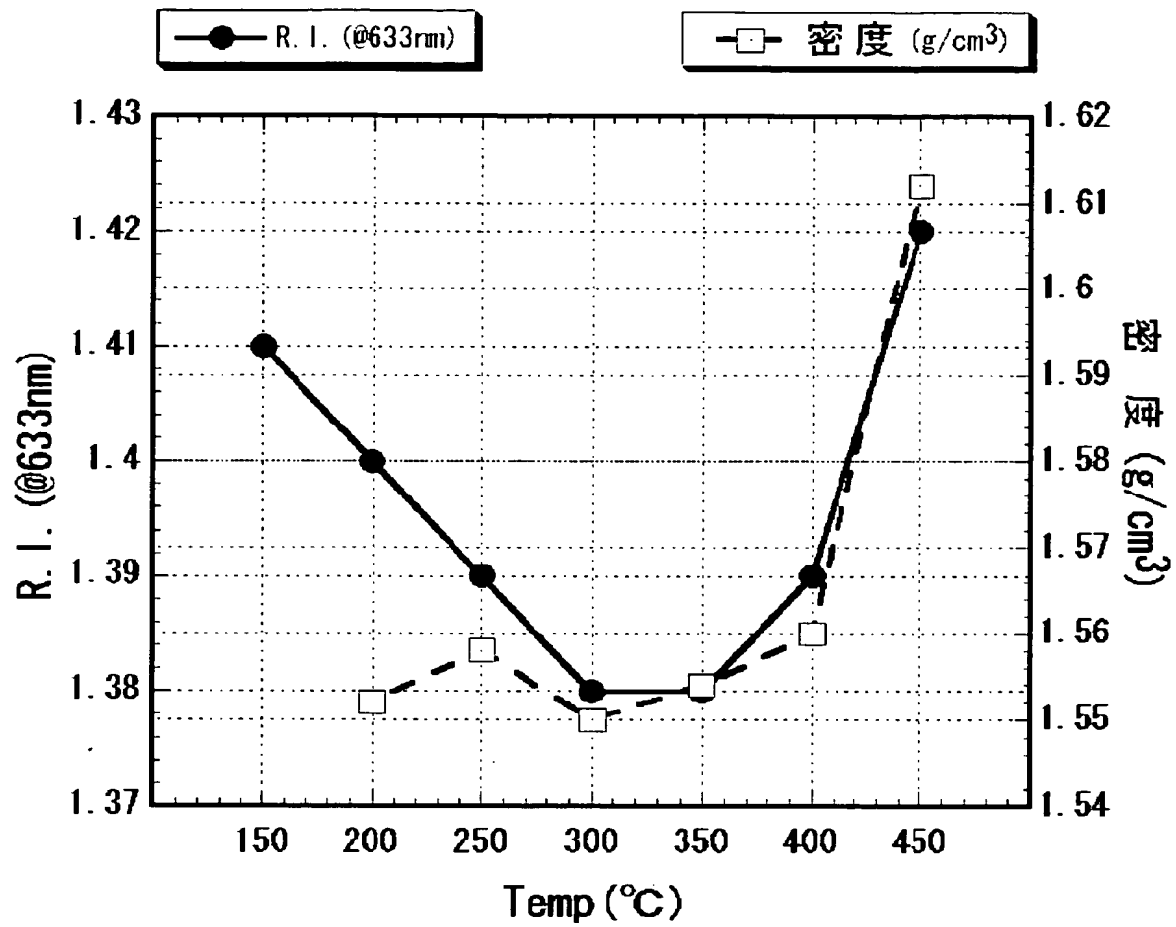
【図 12】

誘電率 (@1MHz)	2.9
屈折率 (@633nm)	1.39
応力 (dyne/cm ²)	7.00E+08
硬度 (Gpa)	0.9
弾性率 (Gpa)	6
熱膨張係数 (ppm/deg-C)	18
ガラス転位温度 (deg-C)	none
熱伝導率 (W/mk@25 deg-C)	0.31

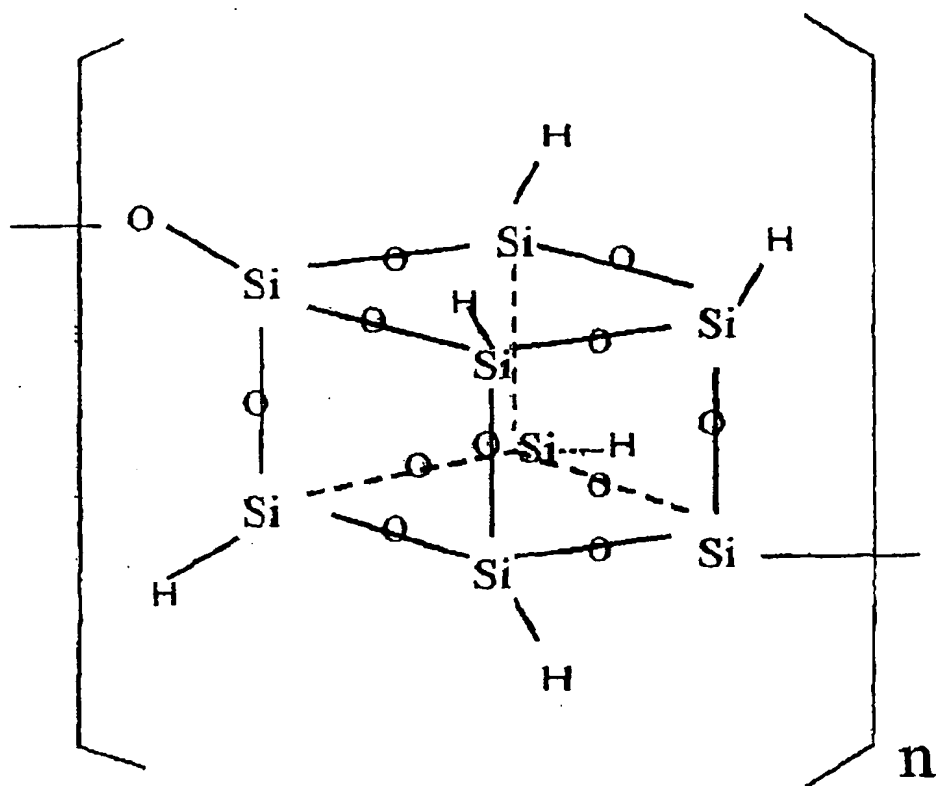
【図 13】



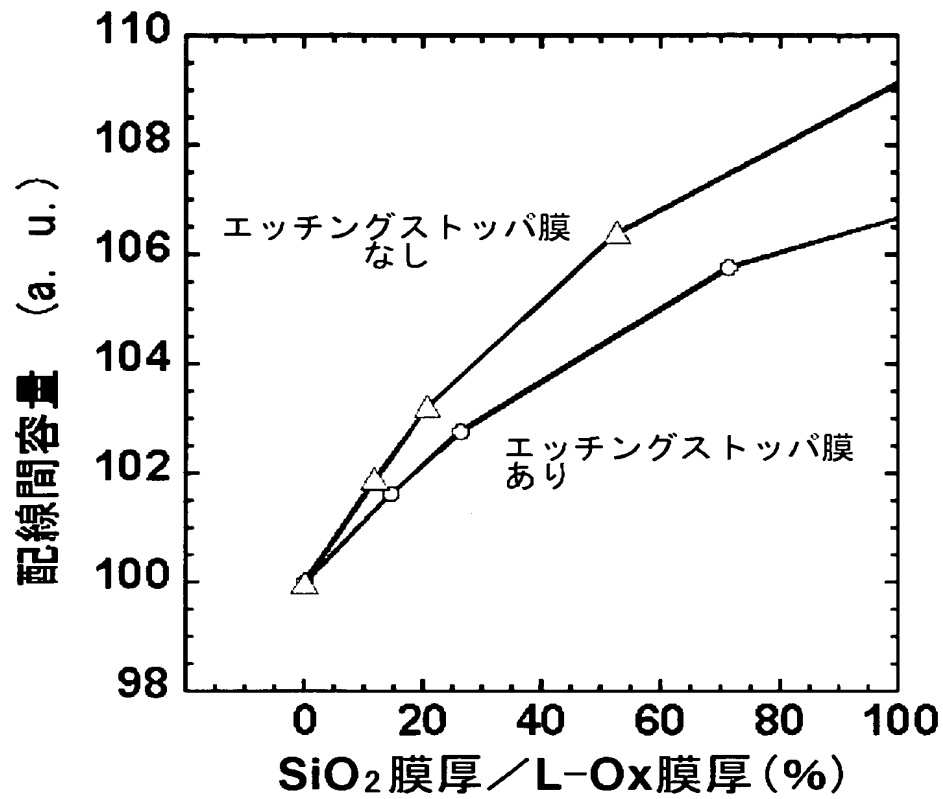
【図 14】



【図 15】



【図16】



【書類名】 要約書

【要約】

【課題】 配線間の容量を低減させた半導体装置の製造工程を提供する。

【解決手段】 半導体装置 200 は、半導体基板（不図示）と、半導体基板上に設けられ、梯子型水素化シロキサンにより構成された第二配線間絶縁膜 216 と、第二配線間絶縁膜 216 上に設けられた第二保護膜 217 と、第二配線間絶縁膜 216 および第二保護膜 217 中に形成された上層配線 270 と、を含む。ここで、第二配線間絶縁膜 216 はたとえば、 L-Ox^{TM} （商標）膜により構成され、第二保護膜 217 はたとえばシリコン酸化膜により構成される。

【選択図】 図 4

特願 2 0 0 3 - 0 2 4 3 0 0

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日
[変更理由]

2 0 0 2 年 1 1 月 1 日
新規登録

住 所
氏 名

神奈川県川崎市中原区下沼部 1 7 5 3 番地
N E C エレクトロニクス株式会社